

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Japanese Patent Laid-open Publication No. 2001-136079 A

Publication date : May 18, 2001

Applicant : Mitsubishi Denki K. K.

Title : MULTI-STAGE ENCODING METHOD, MULTI-STAGE DECODING
5 METHOD, MULTI-STAGE ENCODING DEVICE, MULTI-STAGE DECODING DEVICE,
AND INFORMATION TRANSMISSION SYSTEM USING THEM

(57) [Abstract]

[Problem] In a conventional interleave process or a
10 conventional deinterleave process using memories, writing and
reading must be sequentially executed, delay time caused by
the sequential execution is long, and a large number of memories
are required.

[Solving Means] An interleave process or a deinterleave
15 process is executed by a counter and a selector, and a plurality
of code sequences are simultaneously processed.

[0057] Embodiment 2. FIG. 4 is a block diagram showing the
configuration of an information transmission system according
20 to Embodiment 2 of the present invention. In FIG. 4, reference
numeral 19 denotes an interleave circuit (replacement process
unit and replacement process step) which is interposed between
an information sequence input circuit 4 and an outer encoding
circuit 5, which has L input units and L output units, which
25 performs interleave by replacement such that connections to

the input units and the output units are switched each time a new symbol of a parallel input information sequence is input, and which outputs L interleave information sequences obtained by performing an interleave process to the L parallel input information sequences each time a new symbol is input. The L interleave information sequences are input to the outer encoding circuit 5. Reference numeral 20 denotes a deinterleave circuit (inverse replacement process unit and inverse replacement process step) which is interposed between an outer decoding circuit 12 and an information sequence output circuit 13, which has L input units and L output units, which performs deinterleave by replacement such that connections to the input units and the output units each time a new symbol of an outer decoding sequence, and which outputs L deinterleave decoding information sequences obtained by performing deinterleave process to the L outer decoding sequences each time a new symbol is input. The L deinterleave decoding information sequences are input to the information sequence output circuit 13. The internal configurations of the interleave circuit 19 and the deinterleave circuit 20 are the same as those in FIG. 2. The other configuration of Embodiment 2 is the same as that of Embodiment 1, and a description thereof will be omitted.

[0058] The operations will be described below. When L parallel input information sequences are simultaneously,

synchronously output from the information sequence input circuit 4 one symbol by one symbol, a counter 15 of the interleave circuit 19 outputs a new count value, selectors 16, ..., 16 select predetermined input information sequences depending on the
5 count value to output the parallel input information sequences to the outer encoding circuit 5 as interleave information sequences. The L selectors 16, ..., 16 are set to select different outer encoding sequences at timings, respectively.

[0059] When L outer decoding sequences are output from the
10 outer decoding circuit 12, each time a new symbol is input to the deinterleave circuit 20, the counter outputs a new count value, and the selectors 16, ..., 16 select predetermined outer decoding sequences depending on the new count value to output the outer decoding sequences to the information sequence output
15 circuit 13 as deinterleave decoding information sequences. The L selectors 16, ..., 16 are set to select different outer decoding sequences at timings, respectively. If any error does not occur in a transmission medium 3 or the like, the deinterleave decoding information sequence is the same as the parallel input
20 information sequence. The other operations are the same as those in Embodiment 1, and a description thereof will be omitted.

[0060] With this configuration, the encoding direction of the outer encoding sequence is not only made different from the encoding direction of the inner encoding sequence, but the
25 encoding direction of the outer encoding sequence to the

information sequence and the encoding direction of the inner encoding sequence to the information sequence can also be arbitrarily set. For this reason, the encoding direction of the outer encoding sequence and the encoding direction of the inner encoding sequence can be made orthogonal to each other, and the same error correction as that performed by using a conventional interleave memory can be performed.

[0061] Embodiment 3. FIG. 5 is a block diagram showing the configuration of an information transmission system according to Embodiment 3 of the present invention. In FIG. 3, reference numeral 21 denotes an inner decoding circuit (decoding process unit and decoding process step) for performing the same decoding process as that of the inner decoding circuit 10 in Embodiment 1 by using an inner error correction code to output an inner decoding sequence and to output an inner error correction bit string, reference numeral 22 denotes a deinterleave circuit (replacement process unit and replacement process step) for performing the same deinterleave process as that of the deinterleave circuit 11 in Embodiment 1 to the inner decoding sequence to output a deinterleave decoding sequence and to pass the inner error correction bit string through the deinterleave circuit, reference numeral 23 denotes an outer decoding circuit (decoding process unit and decoding process step) for performing the same decoding process as that of the outer decoding circuit 12 of Embodiment 1 to the deinterleave

decoding sequence by using the outer error correction bit string to output an outer decoding sequence and to output the inner error correction bit string and an outer error correction bit string, reference numeral 24 denotes a re-interleave circuit
5 (re-replacement process unit) for performing the same interleave process as that of the interleave circuit 6 of a concatenated encoding device to the outer decoding sequence and the outer error correction bit string to output a reproduction interleave encoding sequence and to pass the inner
10 error correction bit string through the re-interleave circuit 24, reference numeral 25 denotes an inner re-decoding circuit (re-decoding process unit) for performing the same decoding process as that of the inner decoding circuit 21 to the reproduction interleave encoding sequence by using the inner
15 error correction bit string, reference numeral 26 denotes a re-deinterleave circuit (re-replacement process unit) for performing the same deinterleave process as that in the deinterleave circuit 22 to the reproduction inner decoding sequence to output a reproduction deinterleave decoding
20 sequence, reference numeral 27 denotes an outer re-decoding circuit (re-decoding process unit) for performing the same decoding process as that in the outer decoding circuit 23 to the reproduction deinterleave decoding sequence by using the outer error correction bit string to output a reproduction
25 outer decoding sequence to the information sequence output

circuit 13, and reference numeral 28 denotes an error count estimation circuit for calculating the sum of the number of all error bits which are corrected by the Reed-Solomon decoding circuit as a whole to estimate and output the value as an error count. The other configuration is the same as that in Embodiment 1, and a description thereof will be omitted.

[0062] The operations will be described below. When a parallel input concatenated encoding sequence from a concatenated encoding sequence input circuit 9, the inner decoding circuit 21 performs a decoding process by using an inner error correction bit string to output an inner decoding sequence and an inner error correction bit string. The deinterleave circuit 22 performs a deinterleave process to the inner decoding sequence and passes the inner error correction bit string through the deinterleave circuit 22, and the outer decoding circuit 23 decodes the inner decoding sequence by using the outer error correction bit sequence and outputs the inner error correction bit string and the outer error correction bit string together with the outer decoding sequence. If any error does not occur in the transmission medium 3 or the like, the outer decoding sequence is the same as the input information sequence.

[0063] The re-interleave circuit 24 interleaves the outer decoding sequence and the outer error correction bit sequence again, outputs the reproduction interleave encoding sequence,

and passes the inner error correction bit string through the re-interleave circuit 24, and the inner re-decoding circuit 25 decodes and outputs the reproduction interleave encoding sequence by using the inner error correction bit string, the
5 re-deinterleave circuit 26 deinterleaves the reproduction inner decoding sequence, and the outer re-decoding circuit 27 decodes the reproduction deinterleave decoding sequence to output the reproduction outer decoding sequence. The series of decoding sequences are the same as the decoding sequences
10 described above if any error does not occur in the transmission medium 3 or the like. Although some bit errors are corrected as the results of the first inner decoding process and the first outer decoding process, the result of the outer decoding process may be improper for the result of the inner decoding
15 process. However, the inner decoding process is performed again for the result of the outer decoding process. For this reason, even though such an error occurs, the error can be corrected, and the decoding process can be more properly performed.

20 [0064] With the above configuration, the inner error correction bit string used in the inner decoding circuit 21 is transmitted to the inner re-decoding circuit 25 to be used in the second error correction. Similarly, the outer error correction bit string used in the outer decoding circuit 23
25 is transmitted to the outer re-decoding circuit 27 to be used

in the second error correction. Therefore, even though a bit error occurs in an input concatenated encoding sequence so that the error cannot be completely removed by performing correction once, a more reliable information sequence can be
5 obtained by repeating outer decoding and inner decoding again.
[0065] In this embodiment, although the inner error correction bit string is passed through the re-interleave circuit 24 or the like, the inner error correction bit string may be interleaved in the re-interleave circuit 24 or the like. More
10 specifically, in any cases, an error correction bit string is properly reproduced when the error correction bit string is used in the inner re-decoding circuit 25 or the outer re-decoding circuit 27. In particular, when the deinterleave circuit 22 and the re-interleave circuit 24 perform replacement
15 processes which are inverse to each other, the error correction bit strings can be properly input to the inner re-decoding circuit 25 and 27 without performing a special process such as the through process, respectively.

[0066] As described above, according to Embodiment 3, after
20 the outer decoding circuit 23, the re-interleave circuit 24, the inner re-decoding circuit 25, the re-deinterleave circuit 26, and the outer re-decoding circuit 27 are arranged, the error correction bit strings are transmitted from the inner decoding circuit 21 to the inner re-decoding circuit 25 and
25 from the outer decoding circuit 23 to the outer re-decoding

circuit 27. For this reason, when an improper decoding sequence is obtained as the result of the resultant inner decoding process of the outer decoding process, when an improper decoding sequence is obtained as the result of the resultant outer decoding process of the inner re-decoding process, the improper decoding sequences can be corrected by the inner re-decoding circuit 25 and the outer re-decoding circuit 27. For this reason, more proper decoding sequences can be obtained. That is, the data reliability of the received information sequence can be more improved advantageously.

[0067] According to Embodiment 3, the error estimation circuit 28 which estimates the sum of the numbers of error bits corrected by the inner decoding circuit 21, the outer decoding circuit 23, the inner re-decoding circuit 25, and the outer re-decoding circuit 27 as the number of errors occurring in the transmission medium 3 is arranged. For this reason, in particular, error corrections in the inner re-decoding circuit 25 and the outer re-decoding circuit 27 can also be considered, and the number of bit errors included in the received concatenated encoding sequence can be detected/corrected at a higher precision.

[Brief Description of the Drawings]

[FIG. 4] FIG. 4 is a block diagram showing the configuration of an information transmission system according to Embodiment 2 of the present invention.

[FIG. 5] FIG. 5 is a block diagram showing the configuration of an information transmission system according to Embodiment 3 of the present invention.

[DRAWINGS]

5 [FIG. 4]

4: INFORMATION SEQUENCE INPUT CIRCUIT

19: INTERLEAVE CIRCUIT

5: RS ENCODING CIRCUIT #1

6: INTERLEAVE CIRCUIT

10 7: RS ENCODING CIRCUIT #1

8: CONCATENATED ENCODING SEQUENCE OUTPUT CIRCUIT

9: CONCATENATED ENCODING SEQUENCE INPUT CIRCUIT

10: RS DECODING CIRCUIT #1

11: DEINTERLEAVE CIRCUIT

15 12: RS DECODING CIRCUIT #1

20: DEINTERLEAVE CIRCUIT

13: INFORMATION SEQUENCE OUTPUT CIRCUIT

[FIG. 5]

20 4: INFORMATION SEQUENCE INPUT CIRCUIT

5: RS ENCODING CIRCUIT #1

6: INTERLEAVE CIRCUIT

7: RS ENCODING CIRCUIT #1

8: CONCATENATED ENCODING SEQUENCE OUTPUT CIRCUIT

25 9: CONCATENATED ENCODING SEQUENCE INPUT CIRCUIT

21: RS DECODING CIRCUIT #1
22: DEINTERLEAVE CIRCUIT
23: RS DECODING CIRCUIT #1
24: RE-INTERLEAVE CIRCUIT
5 25: RS DECODING CIRCUIT #1
26: RE-DEINTERLEAVE CIRCUIT
27: RS DECODING CIRCUIT #1
13: INFORMATION SEQUENCE OUTPUT CIRCUIT

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-136079

(P2001-136079A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl.⁷

H 0 3 M 13/27

13/29

識別記号

F I

H 0 3 M 13/27

13/29

テーマコード* (参考)

5 J 0 6 5

審査請求 未請求 請求項の数19 O L (全 19 頁)

(21) 出願番号 特願平11-315832

(22) 出願日 平成11年11月5日 (1999.11.5)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 吉田 英夫

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 中村 隆彦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

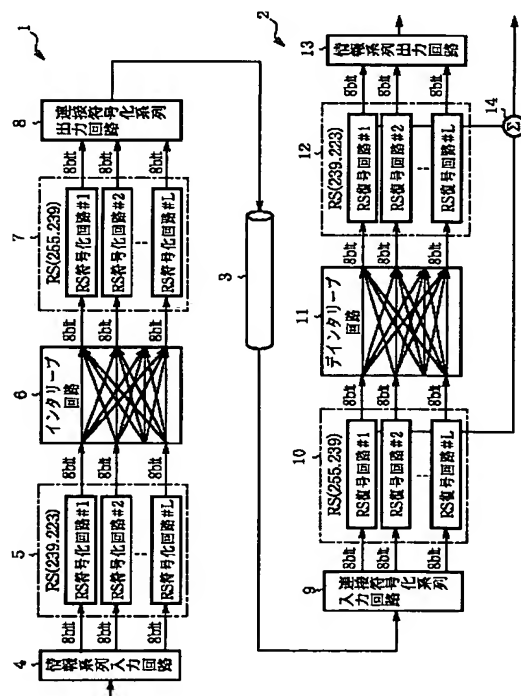
最終頁に続く

(54) 【発明の名称】 多段符号化方法、多段復号方法、多段符号化装置、多段復号装置およびこれらを用いた情報伝送システム

(57) 【要約】

【課題】 従来のメモリを用いたインタリーブ処理やデインタリーブ処理では、書込みと読み出しとを順次実行しなければならず、それによる遅延時間が大きく、しかも、多量のメモリを必要とするなどの課題があった。

【解決手段】 カウンタとセレクタとでインタリーブ処理やデインタリーブ処理を実施するとともに、複数の符号系列を同時に処理するようにしたものである。



【特許請求の範囲】

【請求項1】 入力符号系列に検査ビット列を付加して出力符号系列を出力する符号化処理工程を複数備え、入力情報系列に対して順次この複数回の符号化処理工程を実施して多段符号化系列を生成する多段符号化方法において、

各符号化処理工程は、複数の入力符号系列に対して並列に検査ビット列の付加処理を実施するとともに、連続する2つの符号化処理工程の間のうちの少なくとも1個所には、前段の符号化処理工程から出力される複数の出力符号系列の間で入れ替えによるインタリーブを行う入れ替え処理工程を設ける多段符号化方法。

【請求項2】 符号化処理工程は全て同数の入力符号系列に対して並列に検査ビット列の付加処理を実施し、連続する2つの符号化処理工程の間には全て入れ替え処理工程を設け、且つ、当該入れ替え処理工程は全て上記符号化処理工程に入力される入力符号系列の並列数と同数の出力符号系列の間で入れ替え処理を実施することを特徴とする請求項1記載の多段符号化方法。

【請求項3】 入れ替え処理工程は、入力される出力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントし、各カウント値毎に互いに異なる入れ替え状態となることを特徴とする請求項1または請求項2記載の多段符号化方法。

【請求項4】 入力符号系列に対してそれぞれの検査ビット列に基づいて復号し、これを出力符号系列として出力する復号処理工程を複数備え、多段符号化系列に対して順次この複数回の復号処理工程を実施して出力情報系列を生成する多段復号方法において、各復号処理工程は、複数の入力符号系列に対して並列に復号処理を実施するとともに、連続する2つの復号処理工程の間のうちの少なくとも1個所には、前段の復号処理工程から出力される複数の出力符号系列の間で逆入れ替えによるデインタリーブを行う逆入れ替え処理工程を設ける多段復号方法。

【請求項5】 復号処理工程は全て同数の入力符号系列に対して並列に復号処理を実施し、連続する2つの復号処理工程の間には全て逆入れ替え処理工程を設け、且つ、当該逆入れ替え処理工程は全て上記復号処理工程に入力される入力符号系列の並列数と同数の出力符号系列の間で逆入れ替え処理を実施することを特徴とする請求項4記載の多段符号化方法。

【請求項6】 逆入れ替え処理工程は、入力される出力符号系列のビット数あるいはシンボル数を逆入れ替え処理の単位で割った値までカウントし、各カウント値毎に互いに異なる逆入れ替え状態となることを特徴とする請求項4または請求項5記載の多段符号化方法。

【請求項7】 複数の入力符号系列に同時に検査ビット列を付加して複数の出力符号系列を出力する複数の符号化処理手段と、

複数の入力符号系列の間において、入れ替えによるインタリーブを行って同数の出力符号系列を出力する少なくとも1つ以上の入れ替え処理手段とを備え、

入力情報系列に対して順次符号化処理手段による検査ビット列付加処理を実施すると共にその間において入れ替え処理手段による入れ替え処理を実施して多段符号化系列を生成する多段符号化装置。

【請求項8】 全ての符号化処理手段に入力される入力符号系列の個数と、全ての入れ替え処理手段に入力される入力符号系列の個数とが同一であることを特徴とする請求項7記載の多段符号化装置。

【請求項9】 入れ替え処理手段は、入力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントする入れ替えカウンタと、入力符号系列の数と同じ数だけ設けられ、全ての入力符号系列が入力されるとともにこの入れ替えカウンタのカウント値に応じて1つの入力符号系列を選択して出力符号系列として出力する入れ替えセクタとを備えることを特徴とする請求項7または請求項8記載の多段符号化装置。

【請求項10】 複数の入れ替えセクタは、入力符号系列の数と同じ切り替え回数毎に同一の入力符号系列を選択することを特徴とする請求項9記載の多段符号化装置。

【請求項11】 全ての符号化処理手段は、リードソロモン符号化方法に基づいて検査ビット列を付加することを特徴とする請求項7記載の多段符号化装置。

【請求項12】 複数の入力符号系列に対して同時にそれぞれの検査ビット列に基づいて復号処理を実施して複数の出力符号系列を出力する複数の復号処理手段と、複数の入力符号系列の間において、逆入れ替えによるデインタリーブを行って同数の出力符号系列を出力する少なくとも1つ以上の逆入れ替え処理手段とを備え、多段符号化系列に対して順次この複数回の復号処理工程を実施するとともにその間において逆入れ替え処理手段による逆入れ替え処理を実施して出力情報系列を生成する多段復号装置。

【請求項13】 全ての復号処理手段に入力される入力符号系列の個数と、全ての逆入れ替え処理手段に入力される入力符号系列の個数とが同一であることを特徴とする請求項12記載の多段復号装置。

【請求項14】 逆入れ替え処理手段は、入力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントする逆入れ替えカウンタと、入力符号系列の数と同じ数だけ設けられ、全ての入力符号系列が入力されるとともにこの逆入れ替えカウンタのカウント値に応じて1つの入力符号系列を選択して出力符号系列として出力する逆入れ替えセクタとを備えることを特徴とする請求項12または請求項13記載の多段復号装置。

【請求項15】 複数の逆入れ替えセクタは、入力符

号系列の数と同じ切り替え回数毎に同一の入力符号系列を選択することを特徴とする請求項14記載の多段復号装置。

【請求項16】 全ての復号処理手段は、リードソロモン符号化方法に基づいて復号処理を実施することを特徴とする請求項12記載の多段復号装置。

【請求項17】 いずれかの復号処理手段と同様の復号処理を実施する少なくとも1つの再復号処理手段を当該復号処理手段の直後以外の位置に配設するとともに、上記復号処理手段と再復号処理手段との間に配設され、上記復号処理手段に入力される入力符号系列と同様の符号化状態にある符号系列を生成して再復号処理手段へ出力する再入れ替え処理手段を設け、更に、上記復号処理手段で利用された検査ビット列は上記再復号処理手段に伝送されることを特徴とする請求項12記載の多段復号装置。

【請求項18】 全ての復号処理手段で検査された誤りビット数あるいは誤りシンボル数の総和を伝送媒体上で生じた誤り数と推定する誤り数推定回路を備えることを特徴とする請求項12記載の多段復号装置。

【請求項19】 請求項7記載の多段符号化装置と、請求項12記載の多段復号装置と、上記多段符号化装置の多段符号化系列を上記多段復号装置へ伝送する伝送媒体とを備える情報伝送システム。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 この発明は、光ケーブルなどを用いた各種の情報伝送システムや、ハードディスク装置などを備えた各種の情報処理システムなどにおいて、上記光ケーブルなどの伝送媒体や上記ハードディスク装置などの記憶媒体などにおいて生じる情報系列の誤りを検出／訂正（検査）するための多段符号化方法、多段復号方法、多段符号化装置、多段復号装置およびこれらを用いた情報伝送システムに係り、特に、積符号化処理

（積復号処理）や接続符号化処理（接続復号処理）などに代表される複数回にわたる符号化処理（復号処理）を実施してこれにより誤り検出／訂正能力を向上させた場合に問題となる情報の伝送遅延などを効果的に抑制し、より高速の情報伝送を可能ならしめるための改良に関するものである。

【0002】

【従来の技術】 従来この種の複数回の符号化処理を行なう技術は、「符号理論」（今井秀樹著、電子情報通信学会、平成2年発行）や特開平10-190486号公報に開示されている。図6は、複数回にわたる符号化処理や復号処理を実施しつつ情報系列を順次伝送する従来の情報伝送システムの構成を示すブロック図である。図において、29は接続符号化装置、30は接続復号装置、3はこれらの間に接続される伝送媒体である。

【0003】 接続符号化装置29において、31は入力

情報系列が入力される情報系列入力回路、32は入力情報系列を符号化するリードソロモン外符号化回路、33は複数の外符号化系列を順次記憶するインタリーブメモリ、34はこのインタリーブメモリ33への書込および読出を制御するアドレス生成回路、35は読み出された符号系列を更に符号化するリードソロモン内符号化回路、36は内符号化系列を出力接続符号化系列として伝送媒体3へ出力する接続符号化系列出力回路である。

【0004】 接続復号装置30において、37は入力接続符号化系列が入力される接続符号化系列入力回路、38は入力接続符号化系列を復号するリードソロモン内復号回路、39は複数の内復号系列を順次記憶するデインタリーブメモリ、40はこのデインタリーブメモリ39への書込および読出を制御するアドレス生成回路、41は読み出された復号系列を更に復号するリードソロモン外復号回路、42は外復号系列を出力情報系列として出力する情報系列出力回路である。

【0005】 次に動作について説明する。情報系列入力回路31に入力情報系列が入力されると、リードソロモン外符号化回路32がこれを符号化してインタリーブメモリ33に順次蓄積する。そして、所定数の外符号化系列が書き込まれたらアドレス生成回路34は書込順とは異なる順番ですべてのデータを出力する。リードソロモン内符号化回路35はこの読出データを更に符号化し、接続符号化系列出力回路36がこの内符号化系列を出力接続符号化系列として伝送媒体3へ出力する。

【0006】 伝送媒体3から接続符号化系列入力回路37へ入力接続符号化系列が入力されると、リードソロモン内復号回路38がこれを復号し、デインタリーブメモリ39に順次蓄積される。そして、所定数の内復号系列が書き込まれたらアドレス生成回路40は書込順とは異なる順番ですべてのデータを出力する。リードソロモン外復号回路41はこの読出データを更に復号し、情報系列出力回路42がこの外復号系列を出力情報系列として出力する。

【0007】 そして、このような従来の情報伝送システムでは、接続符号化装置29に順次情報系列を入力し、これを接続符号系列に変換した後伝送媒体3を介して接続復号装置30に伝送し、更に、この接続復号装置30において復号することにより上記情報系列をその誤りを検出／訂正しつつ伝送することができる。

【0008】

【発明が解決しようとする課題】 従来の情報伝送システムは以上のように構成されているので、例えば接続符号化装置29を例に説明すると、リードソロモン外符号化回路32から出力された外符号化系列を順次インタリーブメモリ33に記憶させ、所定数を記憶したらこの記憶順とは異なる方向から順番に読み出すことで、2つの符号化回路32、35における符号化方向を異ならせ、ひいてはこれによって数次に渡る符号化処理による高い誤

り検出／訂正能力を発揮させるようにしているので、必ず上記所定数の出力符号系列を記憶することができる容量のインタリーブメモリ33が必要であり、且つ、必ず一旦インタリーブメモリ33への蓄積が完了してからでないと次の読み出しをすることができないのでその間の遅延時間が非常に長くなってしまふなどの課題がある。

【0009】図7はこの従来の情報伝送システムのインタリーブメモリ33に対する書込および読出動作を説明するためのフォーマット図である。同図では、外符号化系列が左列から右へ順番に記憶され、右端に最後の外符号化系列が記憶されたら上の行から順番に読出がなされる場合の例である。そして、このようなインタリーブメモリ33を用いた場合には、外符号化系列が左端から右端まで記憶されるまで読出処理を行なうことができず、かつ、最下行の読出が終了しなければ次の書込を行なうことができないので、それだけ遅延時間が生じてしまふ。また、図8は1つの外符号化系列がインタリーブメモリ33の複数行に渡る場合のフォーマット図である。

【0010】特に、符号化回路32、35の個数が増えるたびにトータルのメモリ33の記憶容量やトータルの遅延時間は略比例関係的に増加してしまひ、その遅延時間を超えた速度で情報伝送はできないので、伝送した情報の信頼性を確保しつつ情報の伝送速度を向上させるには自ずと限界があった。

【0011】なお、接続復号装置30においても同様の問題がある。

【0012】この発明は上記のような課題を解決するためになされたもので、互いに符号化方向が異なる符号化処理（復号処理）を複数回実施しつつも、上記従来の情報伝送システムにおける遅延時間よりも短い遅延時間において当該多段処理を実施することができ、ひいては上記従来の情報伝送システムと同等の伝送情報の信頼性を確保しつつ上記従来の情報伝送システムよりも高速に情報を伝送することができる多段符号化方法、多段復号方法、多段符号化装置、多段復号装置およびこれらを用いた情報伝送システムを得ることを目的とする。

【0013】

【課題を解決するための手段】この発明に係る多段符号化方法は、入力符号系列に検査ビット列を付加して出力符号系列を出力する符号化処理工程を複数備え、入力情報系列に対して順次この複数回の符号化処理工程を実施して多段符号化系列を生成する多段符号化方法において、各符号化処理工程は、複数の入力符号系列に対して並列に検査ビット列の付加処理を実施するとともに、連続する2つの符号化処理工程の間のうちの少なくとも1個所には、前段の符号化処理工程から出力される複数の出力符号系列の間で入れ替えによるインタリーブを行う入れ替え処理工程を設けるものである。

【0014】この発明に係る多段符号化方法は、符号化処理工程は全て同数の入力符号系列に対して並列に検査

ビット列の付加処理を実施し、連続する2つの符号化処理工程の間には全て入れ替え処理工程を設け、且つ、当該入れ替え処理工程は全て上記符号化処理工程に入力される入力符号系列の並列数と同数の出力符号系列の間で入れ替え処理を実施するものである。

【0015】この発明に係る多段符号化方法は、入れ替え処理工程が、入力される出力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントし、各カウント値毎に互いに異なる入れ替え状態となるものである。

【0016】この発明に係る多段復号方法は、入力符号系列に対してそれぞれの検査ビット列に基づいて復号し、これを出力符号系列として出力する復号処理工程を複数備え、多段符号化系列に対して順次この複数回の復号処理工程を実施して出力情報系列を生成する多段復号方法において、各復号処理工程は、複数の入力符号系列に対して並列に復号処理を実施するとともに、連続する2つの復号処理工程の間のうちの少なくとも1個所には、前段の復号処理工程から出力される複数の出力符号系列の間で逆入れ替えによるデインタリーブを行う逆入れ替え処理工程を設けるものである。

【0017】この発明に係る多段復号方法は、復号処理工程は全て同数の入力符号系列に対して並列に復号処理を実施し、連続する2つの復号処理工程の間には全て逆入れ替え処理工程を設け、且つ、当該逆入れ替え処理工程は全て上記復号処理工程に入力される入力符号系列の並列数と同数の出力符号系列の間で逆入れ替え処理を実施するものである。

【0018】この発明に係る多段復号方法は、逆入れ替え処理工程が、入力される出力符号系列のビット数あるいはシンボル数を逆入れ替え処理の単位で割った値までカウントし、各カウント値毎に互いに異なる逆入れ替え状態となるものである。

【0019】この発明に係る多段符号化装置は、複数の入力符号系列に同時に検査ビット列を付加して複数の出力符号系列を出力する複数の符号化処理手段と、複数の入力符号系列の間において、入れ替えによるインタリーブを行って同数の出力符号系列を出力する少なくとも1つ以上の入れ替え処理手段とを備え、入力情報系列に対して順次符号化処理手段による検査ビット列付加処理を実施すると共にその間において入れ替え処理手段による入れ替え処理を実施して多段符号化系列を生成するものである。

【0020】この発明に係る多段符号化装置は、全ての符号化処理手段に入力される入力符号系列の個数と、全ての入れ替え処理手段に入力される入力符号系列の個数とが同一であるものである。

【0021】この発明に係る多段符号化装置は、入れ替え処理手段が、入力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントする

入れ替えカウンタと、入力符号系列の数と同じ数だけ設けられ、全ての入力符号系列が入力されるとともにこの入れ替えカウンタのカウント値に応じて1つの入力符号系列を選択して出力符号系列として出力する入れ替えセクタとを備えるものである。

【0022】この発明に係る多段符号化装置は、複数の入れ替えセクタが、入力符号系列の数と同じ切り替え回数毎に同一の入力符号系列を選択するものである。

【0023】この発明に係る多段符号化装置は、全ての符号化処理手段が、リードソロモン符号化方法に基づいて検査ビット列を付加するものである。

【0024】この発明に係る多段復号装置は、複数の入力符号系列に対して同時にそれぞれの検査ビット列に基づいて復号処理を実施して複数の出力符号系列を出力する複数の復号処理手段と、複数の入力符号系列の間において、逆入れ替えによるデインタリーブを行って同数の出力符号系列を出力する少なくとも1つ以上の逆入れ替え処理手段とを備え、多段符号化系列に対して順次この複数回の復号処理工程を実施するとともにその間において逆入れ替え処理手段による逆入れ替え処理を実施して出力情報系列を生成するものである。

【0025】この発明に係る多段復号装置は、全ての復号処理手段に入力される入力符号系列の個数と、全ての逆入れ替え処理手段に入力される入力符号系列の個数とが同一であるものである。

【0026】この発明に係る多段復号装置は、逆入れ替え処理手段が、入力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントする逆入れ替えカウンタと、入力符号系列の数と同じ数だけ設けられ、全ての入力符号系列が入力されるとともにこの逆入れ替えカウンタのカウント値に応じて1つの入力符号系列を選択して出力符号系列として出力する逆入れ替えセクタとを備えるものである。

【0027】この発明に係る多段復号装置は、複数の逆入れ替えセクタが、入力符号系列の数と同じ切り替え回数毎に同一の入力符号系列を選択するものである。

【0028】この発明に係る多段復号装置は、全ての復号処理手段が、リードソロモン符号化方法に基づいて復号処理を実施するものである。

【0029】この発明に係る多段復号装置は、いずれかの復号処理手段と同様の復号処理を実施する少なくとも1つの再復号処理手段を当該復号処理手段の直後以外の位置に配設するとともに、上記復号処理手段と再復号処理手段との間に配設され、上記復号処理手段に入力される入力符号系列と同様の符号化状態にある符号系列を生成して再復号処理手段へ出力する再入れ替え処理手段を設け、更に、上記復号処理手段で利用された検査ビット列は上記再復号処理手段に伝送されるものである。

【0030】この発明に係る多段復号装置は、全ての復号処理手段で検査された誤りビット数あるいは誤りシン

ボル数の総和を伝送媒体上で生じた誤り数と推定する誤り数推定回路を備えるものである。

【0031】この発明に係る情報伝送システムは、以上の多段符号化装置と、以上の多段復号装置と、上記多段符号化装置の多段符号化系列を上記多段復号装置へ伝送する伝送媒体とを備えるものである。

【0032】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による情報伝送システムの構成を示すブロック図である。図において、1は複数の情報シンボルからなる入力情報系列が順次入力されるとともにこの入力情報系列に基づいて出力接続符号化系列を生成して出力する接続符号化装置

(多段符号化装置)、2は入力接続符号化系列が順次入力されるとともにこの入力接続符号化系列に基づいて出力情報系列を生成して出力する接続復号装置(多段復号装置)、3は接続符号化装置1と接続復号装置2との間に接続され、接続符号化装置1が出力した出力接続符号化系列を接続復号装置2に伝送して入力接続符号化系列として出力する光ファイバなどの伝送媒体である。

【0033】接続符号化装置1において、4は入力情報系列をL(Lは整数)個ずつ並列化してL個の並列入力情報系列を同時に同期させて出力する情報系列入力回路、5は同一動作をするL個のリードソロモン符号化回路を備え、このL個のリードソロモン符号化回路がそれぞれ同時に各並列入力情報系列の符号化処理を行い、同一符号長さのL個の外符号化系列を出力する外符号化回路(符号化処理手段、符号化処理工程)、6はL個の入力部とL個の出力部とを備え、外符号化系列の新たなシンボルが入力されるたびに各入力部と各出力部との接続を切り替えることで入れ替えによるインタリーブを行い、上記L個の外符号化系列を新たなシンボル入力の毎にインタリーブ処理したL個のインタリーブ符号化系列を出力するインタリーブ回路(入れ替え処理手段、入れ替え処理工程)、7は同一動作をするL個のリードソロモン符号化回路を備え、このL個のリードソロモン符号化回路がそれぞれ同時に各インタリーブ符号化系列の符号化処理を行い、同一符号長さのL個の内符号化系列を出力する内符号化回路(符号化処理手段、符号化処理工程)、8はこのL個の内符号化系列をL個の出力接続符号化系列として伝送媒体3へ順次出力する接続符号化系列出力回路である。

【0034】接続復号装置2において、9は入力接続符号化系列をL(Lは整数)個ずつ並列化してL個の並列入力接続符号化系列を同時に同期させて出力する接続符号化系列入力回路、10は同一動作をするL個のリードソロモン復号回路を備え、このL個のリードソロモン復号回路がそれぞれ同時に各並列入力接続符号化系列の復号処理を行い、同一符号長さのL個の内復号系列を出力

する内復号回路（復号処理手段、復号処理工程）、11はL個の入力部とL個の出力部とを備え、内復号系列の新たなシンボルが入力されるたびに各入力部と各出力部との接続を切り替えることで入れ替えによるデインタリーブを行い、上記L個の内復号系列を新たなシンボルの入力の毎にデインタリーブ処理したL個のデインタリーブ復号系列を出力するデインタリーブ回路（逆入れ替え処理手段、逆入れ替え処理工程）、12は同一動作をするL個のリードソロモン復号回路を備え、このL個のリードソロモン復号回路がそれぞれ同時に各デインタリーブ復号系列の復号処理を行い、同一符号長さのL個の外復号系列を出力する外復号回路（復号処理手段、復号処理工程）、13はこのL個の外復号系列をL個の情報系列として順次出力する情報系列出力回路、14はリードソロモン復号回路全体において訂正した全ての誤りビット数の総和を演算し、この値を誤り数と推定して出力する誤り数推定回路である。

【0035】図2はこの発明の実施の形態1によるインタリーブ回路6の内部構成を示すブロック図である。図において、15は外符号化系列のシンボル数を並列入力シンボル数で割った値と同数までカウントするとともに外符号化系列の新たなシンボルが入力される度にその時のカウント値情報を備えるセレクト切り替え信号を出力するカウンタ（入れ替えカウンタ）、16はそれぞれL個の外符号化系列が入力され、上記セレクト切り替え信号のカウント値情報に応じてその値に対して固定的に割り付けられた1つの外符号化系列を選択してインタリーブ符号化系列として出力するL個のセクタ（入れ替えセクタ）である。なお、デインタリーブ回路11も同様の内部構成である。

【0036】次に動作について説明する。接続符号化装置1に入力情報系列が入力されると、情報系列入力回路4はこの入力情報系列をL個ずつ並列化してL個の並列入力情報系列を同時に同期させて1シンボルずつ出力する。外符号化回路5は、L個のリードソロモン符号化回路が上記シンボルが入力されるたびに同時に各並列入力情報系列の符号化処理を行い、最終的には上記各並列入力情報系列の最後に外誤り訂正ビット列を付加した外符号化系列をL個ずつ出力する。インタリーブ回路6は新たなシンボルが入力されると、カウンタ15が新たなカウント値を出力し、各セクタ16、・・・、16がこれに応じて予め定められた外符号化系列を選択してインタリーブ符号化系列として出力する。なお、このL個のセクタ16、・・・、16はそれぞれ各シンボルの入力タイミングにおいて別々の外符号化系列を選択するように設定されている。内符号化回路7は、L個のリードソロモン符号化回路がシンボルが入力されるたびに同時に各インタリーブ符号化系列のさらなる符号化処理を行い、最終的には上記各インタリーブ符号化系列の最後に内誤り訂正ビット列を付加した内符号化系列をL個ずつ

出力する。そして、接続符号化系列出力回路8は、このL個の内符号化系列をL個の出力接続符号化系列として伝送媒体3へ順次出力する。

【0037】伝送媒体3から入力接続符号化系列が入力されると接続復号装置2の接続符号化系列入力回路9は、この入力接続符号化系列をL個ずつ並列化してL個の並列入力接続符号化系列を同時に同期させて1シンボルずつ出力する。内復号回路10は、L個のリードソロモン復号回路が上記シンボルが入力されるたびに同時に各並列入力接続符号化系列の復号処理を行い、最終的には内誤り訂正ビット列によりビット誤りが訂正された内復号系列をL個ずつ出力する。この内復号系列は伝送媒体3などで誤りが一切なかったものとすれば上記インタリーブ符号化系列と同一な系列となる。デインタリーブ回路11は新たなシンボルが入力されると、カウンタ15が新たなカウント値を出力し、各セクタ16、・・・、16がこれに応じて予め定められた内復号系列を選択してデインタリーブ復号系列として出力する。なお、このL個のセクタ16、・・・、16は各シンボルの入力タイミングにおいてそれぞれ別々の内復号系列を選択するように設定されている。このデインタリーブ復号系列は伝送媒体3などで誤りが一切なかったものとすれば上記外符号化系列と同一な系列となる。外復号回路12は、L個のリードソロモン復号回路がシンボルが入力されるたびに同時に各デインタリーブ復号系列のさらなる復号処理を行い、最終的には外誤り訂正ビット列によりビット誤りが訂正された外復号系列をL個ずつ出力する。この外復号系列は伝送経路3などで誤りが一切なかったものとすれば上記並列入力情報系列と同一な系列となる。そして、情報系列出力回路13は、このL個の外復号系列をL個の出力情報系列として順次出力する。

【0038】また、誤り数推定回路14は、リードソロモン復号回路全体において訂正した全ての誤りビット数の総和を演算し、この値を誤り数と推定して出力する。なお、この誤り数は伝送媒体3の伝送状態を示す指標となるものであり、これをもちいてたとえば受信アンプの増幅倍率などを最適化することができる。

【0039】図3(a)はこの発明の実施の形態1の情報伝送システムにおける接続符号化処理を詳細に説明するためのフォーマット図である。図において、#1、・・・、#Lはそれぞれ同時に処理される並列入力情報系列の番号、左端から223シンボルが並列入力情報系列のシンボル列、224から239が外誤り訂正ビット列、240から255シンボルまでが内誤り訂正ビット列を意味する。つまり、外符号化系列は符号長239バイト、情報223バイトのリードソロモン符号、内符号化系列は符号長255バイト、情報239バイトのリードソロモン符号となる。そして、外符号化回路5の各リードソロモン符号化回路には各並列入力情報系列がそのまま入力され、これに外誤り訂正ビット列を付加した外

符号化系列を出力する。この外符号化系列のうちの1つは同図の矢線17に相当する。また、この外符号化系列がそれを順番に周期的に選択するようにインタリーブされる場合、内符号化回路7の各リードソロモン符号化回路には各外符号化系列のシンボルが順次切り替わって入力され、それに内誤り訂正ビット列を付加した内符号化系列を出力する。この内符号化系列のうちの1つは同図の矢線18に相当する。そして、同図で明かなように外符号化系列の符号化方向と内符号化系列の符号化方向とは異なる方向となっている。

【0040】図3(b)は同図(a)と同様の内容を伝送媒体3に出力される出力接続符号化系列において見た場合のフォーマット図である。そして、たとえば同図の1行ずつ順番に伝送媒体3に出力すると考えた場合、同図に示すように各内符号化系列はそのすべてのシンボルが連続してまとめて出力されることになるが、各外符号化系列、つまり各情報系列の各シンボルや各外誤り訂正ビット列は離散した状態で伝送媒体3に出力されることとなり、これにより単一のビット誤りやバースト誤りに対して誤り検出/訂正が可能であることがわかる。また、Lシンボル毎のブロック符号処理がなされていることになる。

【0041】なお、各リードソロモン符号化回路や各リードソロモン復号回路のカウナはそれぞれに入力される系列の符号長と同じ値までカウントしている。また、セクタは上記並列数L毎に同じ入力部を選択するように動作している。

【0042】以上のように、この実施の形態1によれば、L個の並列入力情報系列に同時に誤り訂正ビット列を付加してL個の外符号化系列を出力する外符号化回路5と、L個の外符号化系列に対して入れ替えによるインタリーブを行って同数のインタリーブ符号系列を出力するインタリーブ回路6と、L個のインタリーブ符号系列に同時に内誤り訂正ビット列を付加してL個の内符号化系列を出力する内符号化回路7とを備え、並列入力情報系列に対して外符号化回路5および内符号化回路7による誤り訂正符号付加処理を実施すると共にその間においてインタリーブ回路6による入れ替え処理を実施して出力接続符号化系列を生成するので、外符号化回路5および内符号化回路7における処理能力がL倍となり、且つ、外符号化回路5から出力されたL個の外符号化系列が入れ替えによるインタリーブにて内符号化回路7に入力される。

【0043】従って、単に各符号化回路5、7における処理能力がL倍となるだけでなく、L個の外符号化系列を蓄積させることなく直に外符号化回路5から内符号化回路7へL個の外符号化系列を伝送することができてそこにおける遅延時間を格段に削減することができるので、インタリーブメモリに外符号化系列を順次記憶させた後読み出しを行う従来のものに比べて格段に情報の伝

送速度が向上し、トータルの遅延時間が格段に削減されることになる。また、インタリーブ処理のためにメモリが一切不要となる。

【0044】それゆえ、2回に渡る符号化処理をその途中でインタリーブ処理をしつつ実行することで伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間や使用メモリ容量を削減することができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【0045】この実施の形態1によれば、外符号化回路5、内符号化回路7およびインタリーブ回路6で同時に処理する符号系列数がL個で統一されているので、例えば一部において同時に処理される符号系列の並列数が削減されているような場合に生じるトータルの情報伝送速度のボトルネックが生じることはなく、2段にわたる符号化処理全体でのスループットを少なくともL倍には向上させることができ、従来の数倍の非常に高速な符号化処理速度を実現することができる効果がある。

【0046】この実施の形態1によれば、インタリーブ回路6が、外符号化系列のビット数あるいはシンボル数までカウントするカウンタ15と、全ての外符号化系列が入力されるとともにこのカウンタ15のカウント値に応じて1つの外符号化系列を選択してインタリーブ符号系列として出力するL個のセクタ16、・・・、16とを備えるので、外符号化系列の符号長を単位として内符号化回路7がブロック符号化処理を実施することができる効果がある。

【0047】この実施の形態1によれば、L個のセクタ16、・・・、16がLシンボルごとに同一の外符号化系列を選択するので、内符号化回路7は最大カウント値を単位として周期的なブロックインタリーブ処理を実施することができる効果がある。

【0048】この実施の形態1によれば、外符号化回路5および内符号化回路7が共にリードソロモン符号化方法に基づいて誤り訂正符号を付加するので、このリードソロモン符号化方法の下でシンボル(バイト)毎の符号化処理を実施させることができ、これ以外のBCH(Bose-Chaudhuri-Hocquenghem)符号化方法などに基づいて検査ビット列を付加する場合に比べて簡易な構成で効率良く並列処理を実施することができる効果がある。

【0049】この実施の形態1によれば、L個の並列入力接続符号系列に対して同時にそれぞれの誤り訂正ビット列に基づいて復号処理を実施してL個の内復号系列を出力する内復号回路10と、逆入れ替えによるデインタリーブを行ってL個のデインタリーブ復号系列を出力するデインタリーブ回路11と、L個のデインタリーブ復号系列に対して同時にそれぞれの誤り訂正ビット列に基づいて復号処理を実施してL個の外復号系列を出力する

外復号回路12とを備え、入力接続符号化系列に対して順次この複数回の復号処理工程を実施するとともにその間においてデインタリーブ回路11による逆入れ替え処理を実施して外復号系列を生成するので、内復号回路10および外復号回路12の処理能力が L 倍となり、且つ、内復号回路10から出力された L 個の内復号系列が逆入れ替えによるデインタリーブにて外復号回路12に入力される。

【0050】従って、単に内復号回路10および外復号回路12における処理能力が L 倍となるだけでなく、 L 個の内復号系列を蓄積させることなく直に内復号回路10から外復号回路12へ伝送することができてそこにおける遅延時間を格段に削減することができるので、デインタリーブメモリに内復号系列を順次記憶させた後読み出しを行う従来のものに比べて格段に情報の伝送速度が向上し、トータルの遅延時間が格段に削減されることになる。また、デインタリーブ処理のためにメモリが一切不要となる。

【0051】それゆえ、2回に渡る復号処理をその途中でデインタリーブ処理をしつつ実行することで伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間や使用メモリ容量を削減することができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【0052】この実施の形態1によれば、内復号回路10と、デインタリーブ回路11と、外復号回路12とで並列に処理する符号系列が L 個に統一されているので、例えば一部において並列数が削減されたりしたような場合に生じるトータルの情報伝送速度のボトルネックが生じないので、多段にわたる復号処理全体でのスループットを少なくとも上記並列数分は向上させることができ、従来の数倍の非常に高速な復号処理速度を実現することができる効果がある。

【0053】この実施の形態1によれば、デインタリーブ回路11が、内復号系列のビット数あるいはシンボル数までカウントするカウンタ15と、全ての内復号系列が入力されるとともにこのカウンタ15のカウント値に応じて1つの内復号系列を選択してデインタリーブ復号系列として出力する L 個のセクタ16、 \dots 、16とを備えるので、例えば内復号系列を最大カウント値を単位として外復号回路12がブロック復号処理を実施することができる効果がある。

【0054】この実施の形態1によれば、 L 個のセクタ16、 \dots 、16が L ビットあるいはシンボルごとに同一の内復号系列を選択するので、外復号回路12は上記 L を単位として周期的なブロックデインタリーブ処理を実施することができる効果がある。

【0055】この実施の形態1によれば、内復号回路10および外復号回路12が共にリードソロモン符号化方

法に基づいて復号処理を実施するので、このリードソロモン符号化方法の下でバイト毎の復号処理を実施させることができ、これ以外のBCH (Bose-Chaudhuri-Hocquenghem) 符号の復号方法に比べて簡易な構成で効率良く並列処理を実施することができる効果がある。

【0056】この実施の形態1によれば、上述した接続符号化装置1と、上述した接続復号装置2と、これらの間に接続された伝送媒体3とを備えると共に、上記接続符号化装置1の複数の符号化回路5、7およびインタリーブ回路6と、接続復号装置2の複数の復号回路10、12およびデインタリーブ回路11とが、伝送媒体3を対称軸として線対象となる配列となっているので、伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間や使用メモリ容量を削減することができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【0057】実施の形態2. 図4はこの発明の実施の形態2による情報伝送システムの構成を示すブロック図である。図において、19は情報系列入力回路4と外符号化回路5との間に設けられ、 L 個の入力部と L 個の出力部とを備え、並列入力情報系列の新たなシンボルが入力されるたびに各入力部と各出力部との接続を切り替えることで入れ替えによるインタリーブを行い、上記 L 個の並列入力情報系列を新たなシンボル入力の毎にインタリーブ処理した L 個のインタリーブ情報系列を出力するインタリーブ回路（入れ替え処理手段、入れ替え処理工程）であり、この L 個のインタリーブ情報系列が外符号化回路5に入力される。また、20は外復号回路12と情報系列出力回路13との間に設けられ、 L 個の入力部と L 個の出力部とを備え、外復号系列の新たなシンボルが入力されるたびに各入力部と各出力部との接続を切り替えることで入れ替えによるデインタリーブを行い、上記 L 個の外復号系列を新たなシンボルの入力の毎にデインタリーブ処理した L 個のデインタリーブ復号情報系列を出力するデインタリーブ回路（逆入れ替え処理手段、逆入れ替え処理工程）であり、この L 個のデインタリーブ復号情報系列が情報系列出力回路13に入力される。なお、これらのインタリーブ回路19およびデインタリーブ回路20の内部構成は図2と同様である。これ以外の構成は実施の形態1と同様であり説明を省略する。

【0058】次に動作について説明する。情報系列入力回路4から L 個の並列入力情報系列が同時に同期して1シンボルずつ出力されると、インタリーブ回路19のカウンタ15が新たなカウント値を出力し、各セクタ16、 \dots 、16がこれに応じて予め定められた並列入力情報系列を選択してインタリーブ情報系列として外符号化回路5へ出力する。なお、この L 個のセクタ16、 \dots 、16はそれぞれ各タイミングにおいて別々

の外符号化系列を選択するように設定されている。

【0059】外復号回路12からL個の外復号系列が出力されると、デインタリーブ回路20は新たなシンボルが入力される度に、カウンタが新たなカウント値を出力し、各セクタ16, ..., 16がこれに応じて予め定められた外復号系列を選択してデインタリーブ復号情報系列として情報系列出力回路13へ出力する。なお、このL個のセクタ16, ..., 16は各タイミングにおいてそれぞれ別々の外復号系列を選択するように設定されている。このデインタリーブ復号情報系列は伝送媒体3などで誤りが一切なかったものとすれば上記並列入力情報系列と同一な系列となる。これ以外の動作は実施の形態1と同様であり説明を省略する。

【0060】そして、このような構成であれば、単に外符号化系列の符号化方向と内符号化系列の符号化方向とを異ならせるだけでなく、情報系列に対する外符号化系列の符号化方向および情報系列に対する内符号化系列の符号化方向を任意の方向に設定することができ、ひいては外符号化系列の符号化方向と内符号化系列の符号化方向とを直交させることができ、従来のインタリーブメモリを用いた場合と同様の誤り訂正を実施することができる。

【0061】実施の形態3. 図5はこの発明の実施の形態3による情報伝送システムの構成を示すブロック図である。図において、21は内誤り訂正符号を用いて実施の形態1の内復号回路10と同様の復号処理を実施して内復号系列を出力するとともに内誤り訂正ビット列を出力する内復号回路（復号処理手段、復号処理工程）、22は内復号系列に対しては実施の形態1のデインタリーブ回路11と同様のデインタリーブ処理を実施してデインタリーブ復号系列を出力するとともに上記内誤り訂正ビット列はスルーさせるデインタリーブ回路（入れ替え処理手段、入れ替え処理工程）、23はデインタリーブ復号系列に対しては外誤り訂正ビット列を用いて実施の形態1の外復号回路12と同様の復号処理を実施して外復号系列を出力するとともに上記内誤り訂正ビット列および外誤り訂正ビット列を出力する外復号回路（復号処理手段、復号処理工程）、24は外復号系列および外誤り訂正ビット列に対しては接続符号化装置のインタリーブ回路6と同様のインタリーブ処理をして再生インタリーブ符号化系列を出力するとともに内誤り訂正ビット列をスルーする再インタリーブ回路（再入れ替え処理手段）、25は再生インタリーブ符号化系列に対しては内誤り訂正ビット列を用いて上記内復号回路21と同様の復号処理を実施して再生内復号系列を出力する再内復号回路（再復号処理手段）、26は再生内復号系列に対して上記デインタリーブ回路22と同様のデインタリーブ処理を実施して再生デインタリーブ復号系列を出力する再デインタリーブ回路（再入れ替え処理手段）、27は再生デインタリーブ復号系列に対して外誤り訂正ビット

列を用いて上記外復号回路23と同様の復号処理を実施して情報系列出力回路13へ再生外復号系列を出力する再外復号回路（再復号処理手段）、28はリードソロモン復号回路全体において訂正した全ての誤りビット数の総和を演算し、この値を誤り数と推定して出力する誤り数推定回路である。これ以外の構成は実施の形態1と同様であり説明を省略する。

【0062】次に動作について説明する。接続符号化系列入力回路9から並列入力接続符号化系列が入力されると、内復号回路21は内誤り訂正ビット列を用いて復号処理を実施し、内復号系列と内誤り訂正ビット列とを出力する。デインタリーブ回路22はこの内復号系列をデインタリーブ処理するとともに内誤り訂正ビット列をスルーし、外復号回路23は、外誤り訂正ビット列を用いて内復号系列を復号し、外復号系列とともに内誤り訂正ビット列および外誤り訂正ビット列を出力する。そして、伝送媒体3などにおいてまったく誤りが生じていなければこの外復号系列は入力情報系列と同一なものとなる。

【0063】再インタリーブ回路24はこの外復号系列および外誤り訂正ビット列を再度インタリーブして再生インタリーブ符号化系列を出力するとともに内誤り訂正ビット列をスルーし、再内復号回路25は内誤り訂正ビット列を用いてこの再生インタリーブ符号化系列を復号して出力し、再デインタリーブ回路26は再生内復号系列をデインタリーブし、再外復号回路27は再生デインタリーブ復号系列を復号して再生外復号系列を出力する。そして、これら一連の復号系列は、伝送媒体3などにおいてまったく誤りが生じていなければ上記各復号系列と同一なものとなる。また、上記1回目の内復号処理および外復号処理の結果として一部のビットの誤りが訂正されるものの、その外復号処理の結果が内復号処理の結果として適切でないような状態となってしまうことがありえるが、それに対して再度内復号処理を実施しているので、そのような誤りであってもこれを訂正してより適切に復号することができる。

【0064】そして、このような構成であれば、内復号回路21で使用した内誤り訂正ビット列が再内復号回路25まで伝送されて2回目の誤り訂正に利用される。同様に、外復号回路23で使用した外誤り訂正ビット列が再外復号回路27まで伝送されて2回目の誤り訂正に利用される。従って、入力接続符号化系列にビット誤りが発生して1回ではその誤りを完全に除去できないような場合であっても、再度外復号および内復号を繰り返すことにより、より確からしい情報系列を得ることができる。

【0065】なお、この実施の形態では、内誤り訂正ビット列を再インタリーブ回路24などにおいてスルーさせているが、ここでインタリーブしてもかまわない。つまり、いずれにしても再内復号回路25や再外復号回路

27において利用される際に正しく誤り訂正ビット列が再現されていればよい。特に、デインタリーブ回路22と再インタリーブ回路24とが全く逆の入れ替え処理をする関係にあれば、上記スルー処理などの特別な処理をすることなくそれぞれの誤り訂正ビット列をそれぞれの再復号回路25、27に適切に入力することができる。

【0066】以上のように、この実施の形態3によれば、外復号回路23の後に、再インタリーブ回路24、再内復号回路25、再デインタリーブ回路26および再外復号回路27を設けるとともに、内復号回路21から再内復号回路25までおよび外復号回路23から再外復号回路27まで誤り訂正ビット列を伝送しているため、外復号処理の結果内復号処理の結果として不適切な復号系列となった場合や、再内復号処理の結果外復号処理の結果として不適切な復号系列となった場合には再内復号回路25や再外復号回路27においてこれを訂正することができるので、より適切な復号系列にすることができる。つまり、受信した情報系列のデータ信頼性を更に向上させることができる効果がある。

【0067】この実施の形態3によれば、内復号回路21、外復号回路23、再内復号回路25および再外復号回路27で訂正された誤りビット数の総和を伝送媒体3上で生じた誤り数と推定する誤り数推定回路28を備えるので、特に再内復号回路25および再外復号回路27における誤り訂正をも考慮することができ、受信した連接符号化系列に含まれるビット誤り数をより高精度に検出／訂正することができる効果がある。

【0068】なお、以上の実施の形態では、リードソロモン符号を2つ組み合わせた例で説明したが、この他の符号である BCH 符号やブロック符号、符号長が制限された畳み込み符号などを用いても同様の効果がえられる。また、その組合せや段数も任意である。

【0069】また、以上の実施の形態では、連接復号装置2において2度繰り返して復号する例について示したが、この復号処理の繰り返し回数は任意である。特に、この発明ではデインタリーブ回路11などにおける遅延時間を格段に削減することができるので、このような繰り返し技術を用いたとしても従来と遜色ない遅延時間で処理することができるので、従来では到底得ることができなかったレベルにて高速処理と高信頼性とを両立することができる。

【0070】更に、誤り数推定回路は、誤りビット数の総和を演算するものを例示したが、誤りシンボル数の総和を演算するものであっても良い。

【0071】

【発明の効果】以上のように、この発明によれば、入力符号系列に検査ビット列を付加して出力符号系列を出力する符号化処理工程を複数備え、入力情報系列に対して順次この複数回の符号化処理工程を実施して多段符号化系列を生成する多段符号化方法において、各符号化処理

工程は、複数の入力符号系列に対して並列に検査ビット列の付加処理を実施するとともに、連続する2つの符号化処理工程の間のうちの少なくとも1個所には、前段の符号化処理工程から出力される複数の出力符号系列の間で入れ替えによるインタリーブを行う入れ替え処理工程を設けるので、各符号化処理工程における処理能力が2倍以上となり、且つ、連続する2つの符号化処理工程の間のうちの少なくとも1個所においては符号化処理工程から出力された複数の出力符号系列が入れ替えによるインタリーブにて後段の符号化処理工程に入力される。

【0072】従って、単に各符号化処理工程における処理能力が2倍以上となるだけでなく、少なくとも一箇所においては複数の出力符号系列を蓄積させることなく直に前段の符号化処理工程から後段の符号化処理工程へ複数の出力符号系列を伝送することができてそこにおける遅延時間を格段に削減することができるので、インタリーブメモリに出力符号系列を順次記憶させた後読み出しを行う従来のものに比べて格段に情報の伝送速度が向上し、トータルの遅延時間が格段に削減されることになる。同様に、トータルのメモリの記憶容量も格段に削減されることになる。

【0073】それゆえ、複数回に渡る符号化処理をその途中でインタリーブ処理をしつつ実行することで伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間や使用メモリ容量を削減することができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【0074】この発明によれば、符号化処理工程は全て同数の入力符号系列に対して並列に検査ビット列の付加処理を実施し、連続する2つの符号化処理工程の間には全て入れ替え処理工程を設け、且つ、当該入れ替え処理工程は全て上記符号化処理工程に入力される入力符号系列の並列数と同数の出力符号系列の間で入れ替え処理を実施するので、例えば一部において並列数が削減されたりしたような場合に生じるトータルの情報伝送速度のボトルネックが生じないので、多段にわたる符号化処理工程全体でのスループットを少なくとも上記並列数分は向上させることができ、従来の数倍の非常に高速な符号化処理速度を実現することができる効果がある。

【0075】この発明によれば、入れ替え処理工程が、入力される出力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントし、各カウント値毎に互いに異なる入れ替え状態となるので、例えば上記入れ替え処理の単位を n シンボル(n は整数)とすると、入力される出力符号系列を最大カウント値の n 倍のビット数あるいはシンボル数を単位として後段の符号化処理工程がブロック符号化処理を実施することができる効果がある。

【0076】この発明によれば、入力符号系列に対して

それぞれの検査ビット列に基づいて復号し、これを出力符号系列として出力する復号処理工程を複数備え、多段符号化系列に対して順次この複数回の復号処理工程を実施して出力情報系列を生成する多段復号方法において、各復号処理工程は、複数の入力符号系列に対して並列に復号処理を実施するとともに、連続する2つの復号処理工程の間のうちの少なくとも1個所には、前段の復号処理工程から出力される複数の出力符号系列の間で逆入れ替えによるデインタリーブを行う逆入れ替え処理工程を設けるので、各復号処理工程における処理能力が2倍以上となり、且つ、連続する2つの復号処理工程の間のうちの少なくとも1個所においては復号処理工程から出力された複数の出力符号系列が逆入れ替えによるデインタリーブにて後段の復号処理工程に入力される。

【0077】従って、単に各復号処理工程における処理能力が2倍以上となるだけでなく、少なくとも一箇所においては複数の出力符号系列を蓄積させることなく直に前段の復号処理工程から後段の復号処理工程へ複数の出力符号系列を伝送することができてそこにおける遅延時間を格段に削減することができるので、デインタリーブメモリに出力符号系列を順次記憶させた後読み出しを行う従来のものに比べて格段に情報の伝送速度が向上し、トータルの遅延時間が格段に削減されることになる。同様に、トータルのメモリの記憶容量も格段に削減されることになる。

【0078】それゆえ、複数回に渡る復号処理をその途中でデインタリーブ処理をしつつ実行することで伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間や使用メモリ容量を削減することができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【0079】この発明によれば、復号処理工程は全て同数の入力符号系列に対して並列に復号処理を実施し、連続する2つの復号処理工程の間には全て逆入れ替え処理工程を設け、且つ、当該逆入れ替え処理工程は全て上記復号処理工程に入力される入力符号系列の並列数と同数の出力符号系列の間で逆入れ替え処理を実施するので、例えば一部において並列数が削減されたりしたような場合に生じるトータルの情報伝送速度のボトルネックが生じないので、多段にわたる復号処理工程全体でのスループットを少なくとも上記並列数分は向上させることができ、従来の数倍の非常に高速な復号処理速度を実現することができる効果がある。

【0080】この発明によれば、逆入れ替え処理工程が、入力される出力符号系列のビット数あるいはシンボル数を逆入れ替え処理の単位で割った値までカウントし、各カウント値毎に互いに異なる逆入れ替え状態となるので、例えば上記逆入れ替え処理の単位を n シンボル(n は整数)とすると、入力される出力符号系列を最大

カウント値の n 倍のビット数あるいはシンボル数を単位として後段の復号処理工程がブロック復号処理を実施することができる効果がある。

【0081】この発明によれば、複数の入力符号系列に同時に検査ビット列を付加して複数の出力符号系列を出力する複数の符号化処理手段と、複数の入力符号系列の間において、入れ替えによるインタリーブを行って同数の出力符号系列を出力する少なくとも1つ以上の入れ替え処理手段とを備え、入力情報系列に対して順次符号化処理手段による検査ビット列付加処理を実施すると共にその間において入れ替え処理手段による入れ替え処理を実施して多段符号化系列を生成するので、各符号化処理手段における処理能力が2倍以上となり、且つ、連続する2つの符号化処理手段の間のうちの少なくとも1個所においては符号化処理手段から出力された複数の出力符号系列が入れ替えによるインタリーブにて後段の符号化処理手段に入力される。

【0082】従って、単に各符号化処理手段における処理能力が2倍以上となるだけでなく、少なくとも一箇所においては複数の出力符号系列を蓄積させることなく直に前段の符号化処理手段から後段の符号化処理手段へ複数の出力符号系列を伝送することができてそこにおける遅延時間を格段に削減することができるので、インタリーブメモリに出力符号系列を順次記憶させた後読み出しを行う従来のものに比べて格段に情報の伝送速度が向上し、トータルの遅延時間が格段に削減されることになる。同様に、トータルのメモリの記憶容量も格段に削減されることになる。

【0083】それゆえ、複数回に渡る符号化処理をその途中でインタリーブ処理をしつつ実行することで伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間や使用メモリ容量を削減することができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【0084】この発明によれば、全ての符号化処理手段に入力される入力符号系列の個数と、全ての入れ替え処理手段に入力される入力符号系列の個数とが同一であるので、例えば一部において同時に処理される入力符号系列の並列数が削減されているような場合に生じるトータルの情報伝送速度のボトルネックが生じないので、多段にわたる符号化処理全体でのスループットを少なくとも上記並列数分は向上させることができ、従来の数倍の非常に高速な符号化処理速度を実現することができる効果がある。

【0085】この発明によれば、入れ替え処理手段が、入力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントする入れ替えカウンタと、入力符号系列の数と同じ数だけ設けられ、全ての入力符号系列が入力されるとともにこの入れ替えカウン

タのカウント値に応じて1つの入力符号系列を選択して出力符号系列として出力する入れ替えセレクタとを備えるので、例えば上記入れ替え処理の単位を n シンボル

(n は整数)とすると、入力される出力符号系列を最大カウント値の n 倍のビット数あるいはシンボル数を単位として後段の符号化処理手段がブロック符号化処理を実施することができる効果がある。

【0086】この発明によれば、複数の入れ替えセレクタが、入力符号系列の数と同じ切り替え回数毎に同一の入力符号系列を選択するので、後段の符号化処理手段は上記最大カウント値の n 倍のビット数あるいはシンボル数を単位として周期的なブロックインタリーブ処理を実施することができる効果がある。

【0087】この発明によれば、全ての符号化処理手段が、リードソロモン符号化方法に基づいて検査ビット列を付加するので、このリードソロモン符号化方法の下でバイト毎の符号化処理を実施させることができ、これ以外のBCH (Bose-Chaudhuri-Hocquenghem) 符号化方法などに基づいて検査ビット列を付加する場合に比べて簡易な構成で効率良く並列処理を実施することができる効果がある。

【0088】この発明によれば、複数の入力符号系列に対して同時にそれぞれの検査ビット列に基づいて復号処理を実施して複数の出力符号系列を出力する複数の復号処理手段と、複数の入力符号系列の間において、逆入れ替えによるデインタリーブを行って同数の出力符号系列を出力する少なくとも1つ以上の逆入れ替え処理手段とを備え、多段符号化系列に対して順次この複数回の復号処理工程を実施するとともにその間において逆入れ替え処理手段による逆入れ替え処理を実施して出力情報系列を生成するので、各復号処理工程における処理能力が2倍以上となり、且つ、連続する2つの復号処理手段の間のうちの少なくとも1箇所においては復号処理手段から出力された複数の出力符号系列が逆入れ替えによるデインタリーブにて後段の復号処理手段に入力される。

【0089】従って、単に各復号処理手段における処理能力が2倍以上となるだけでなく、少なくとも一箇所においては複数の出力符号系列を蓄積させることなく直に前段の復号処理手段から後段の復号処理手段へ複数の出力符号系列を伝送することができてそこにおける遅延時間を格段に削減することができるので、デインタリーブメモリに出力符号系列を順次記憶させた後読み出しを行う従来のものに比べて格段に情報の伝送速度が向上し、トータルの遅延時間が格段に削減されることになる。同様に、トータルのメモリの記憶容量も格段に削減されることになる。

【0090】それゆえ、複数回に渡る復号処理をその途中でデインタリーブ処理をしつつ実行することで伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間或使用メモリ容量を削減すること

ができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【0091】この発明によれば、全ての復号処理手段に入力される入力符号系列の個数と、全ての逆入れ替え処理手段に入力される入力符号系列の個数とが同一であるので、例えば一部において並列数が削減されたりしたような場合に生じるトータルの情報伝送速度のボトルネックが生じないので、多段にわたる復号処理全体でのスループットを少なくとも上記並列数分は向上させることができ、従来の数倍の非常に高速な復号処理速度を実現することができる効果がある。

【0092】この発明によれば、逆入れ替え処理手段が、入力符号系列のビット数あるいはシンボル数を入れ替え処理の単位で割った値までカウントする逆入れ替えカウンタと、入力符号系列の数と同じ数だけ設けられ、全ての入力符号系列が入力されるとともにこの逆入れ替えカウンタのカウント値に応じて1つの入力符号系列を選択して出力符号系列として出力する逆入れ替えセレクタとを備えるので、例えば上記逆入れ替え処理の単位を n シンボル(n は整数)とすると、入力される出力符号系列を最大カウント値の n 倍のビット数あるいはシンボル数を単位として後段の復号処理手段がブロック復号処理を実施することができる効果がある。

【0093】この発明によれば、複数の逆入れ替えセレクタが、入力符号系列の数と同じ切り替え回数毎に同一の入力符号系列を選択するので、後段の復号処理手段は上記最大カウント値の n 倍のビット数あるいはシンボル数を単位として周期的なブロックデインタリーブ処理を実施することができる効果がある。

【0094】この発明によれば、全ての復号処理手段が、リードソロモン符号化方法に基づいて復号処理を実施するので、このリードソロモン符号化方法の下でバイト毎の復号処理を実施させることができ、これ以外のBCH (Bose-Chaudhuri-Hocquenghem) 符号の復号方法に比べて簡易な構成で効率良く並列処理を実施することができる効果がある。

【0095】この発明によれば、いずれかの復号処理手段と同様の復号処理を実施する少なくとも1つの再復号処理手段を当該復号処理手段の直後以外の位置に配設するとともに、上記復号処理手段と再復号処理手段との間に配設され、上記復号処理手段に入力される入力符号系列と同様の符号化状態にある符号系列を生成して再復号処理手段へ出力する再入れ替え処理手段を設け、更に、上記復号処理手段で利用された検査ビット列は上記再復号処理手段に伝送されるので、例えば、上記復号処理手段と再復号処理手段との間に配設された他の復号処理手段の結果情報系列に相当する部分の誤り訂正がなされた場合において且つ上記復号処理手段の誤り訂正としては不適切な復号系列となった場合には、再復号処理手段で

それを適切な復号系列にすることができる。従って、単に符号化処理に対応する一連の復号処理のみを行う場合に比べて誤り検査能力を向上させることができ、ひいては受信した情報系列のデータ信頼性を更に向上させることができる効果がある。

【0096】この発明によれば、全ての復号処理手段で検査された誤りビット数あるいは誤りシンボル数の総和を伝送媒体上で生じた誤り数と推定する誤り数推定回路を備えるので、特に再復号化手段における誤りをも考慮することができ、受信した多段符号化系列に含まれるビット誤り数をより高精度に検出／訂正（検査）することができる効果がある。

【0097】この発明によれば、以上の多段符号化装置と、以上の多段復号装置と、上記多段符号化装置の多段符号化系列を上記多段復号装置へ伝送する伝送媒体とを備えるので、伝送した情報の信頼性を従来と同様に確保しつつ、従来のものに比べ格段に遅延時間或使用メモリ容量を削減することができ、ひいては伝送した情報の信頼性を確保しつつ従来には実現し得ない伝送速度にて情報を伝送させることができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による情報伝送システムの構成を示すブロック図である。

【図2】 この発明の実施の形態1によるインタリーブ回路の内部構成を示すブロック図である。

【図3】 この発明の実施の形態1の情報伝送システムにおける接続符号化処理を詳細に説明するためのフォーマット図である（（a）は入力情報系列基準、（b）は出力接続符号化系列基準）。

【図4】 この発明の実施の形態2による情報伝送システムの構成を示すブロック図である。

【図5】 この発明の実施の形態3による情報伝送システムの構成を示すブロック図である。

【図6】 従来の情報伝送システムの構成を示すブロッ

ク図である。

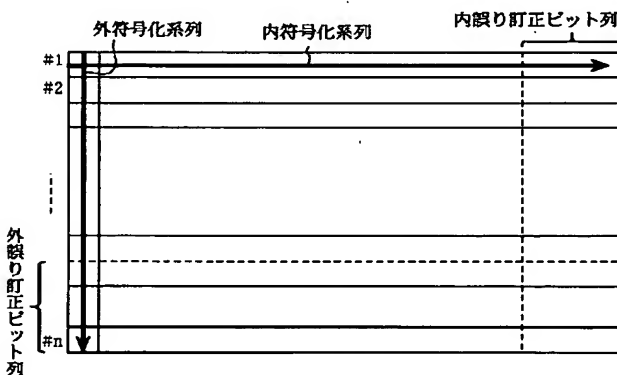
【図7】 従来の情報伝送システムのインタリーブメモリに対する書込および読出動作を説明するためのフォーマット図である。

【図8】 従来の情報伝送システムのインタリーブメモリに対する書込および読出動作を説明するためのフォーマット図である。但し、1つの外符号化系列がインタリーブメモリの複数行に渡る場合のフォーマット図である。

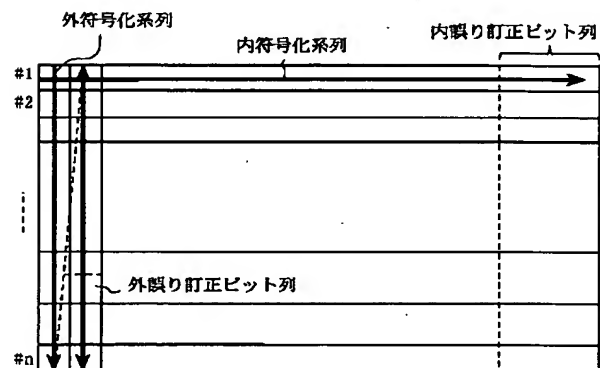
【符号の説明】

1 接続符号化装置（多段符号化装置）、2 接続復号装置（多段復号装置）、3 伝送媒体、4 情報系列入力回路、5 外符号化回路（符号化処理手段、符号化処理工程）、6 インタリーブ回路（入れ替え処理手段、入れ替え処理工程）、7 内符号化回路（符号化処理手段、符号化処理工程）、8 接続符号化系列出力回路、9 接続符号化系列入力回路、10 内復号回路（復号処理手段、復号処理工程）、11 デインタリーブ回路（逆入れ替え処理手段、逆入れ替え処理工程）、12 外復号回路（復号処理手段、復号処理工程）、13 情報系列出力回路、14 誤り数推定回路、15 カウンタ（入れ替えカウンタ）、16 セレクタ（入れ替えセレクタ）、19 インタリーブ回路（入れ替え処理手段、入れ替え処理工程）、20 デインタリーブ回路（逆入れ替え処理手段、逆入れ替え処理工程）、21 内復号回路（復号処理手段、復号処理工程）、22 デインタリーブ回路（入れ替え処理手段、入れ替え処理工程）、23 外復号回路（復号処理手段、復号処理工程）、24 再インタリーブ回路（再入れ替え処理手段）、25 再内復号回路（再復号処理手段）、26 再デインタリーブ回路（再入れ替え処理手段）、27 再外復号回路（再復号処理手段）、28 誤り数推定回路。

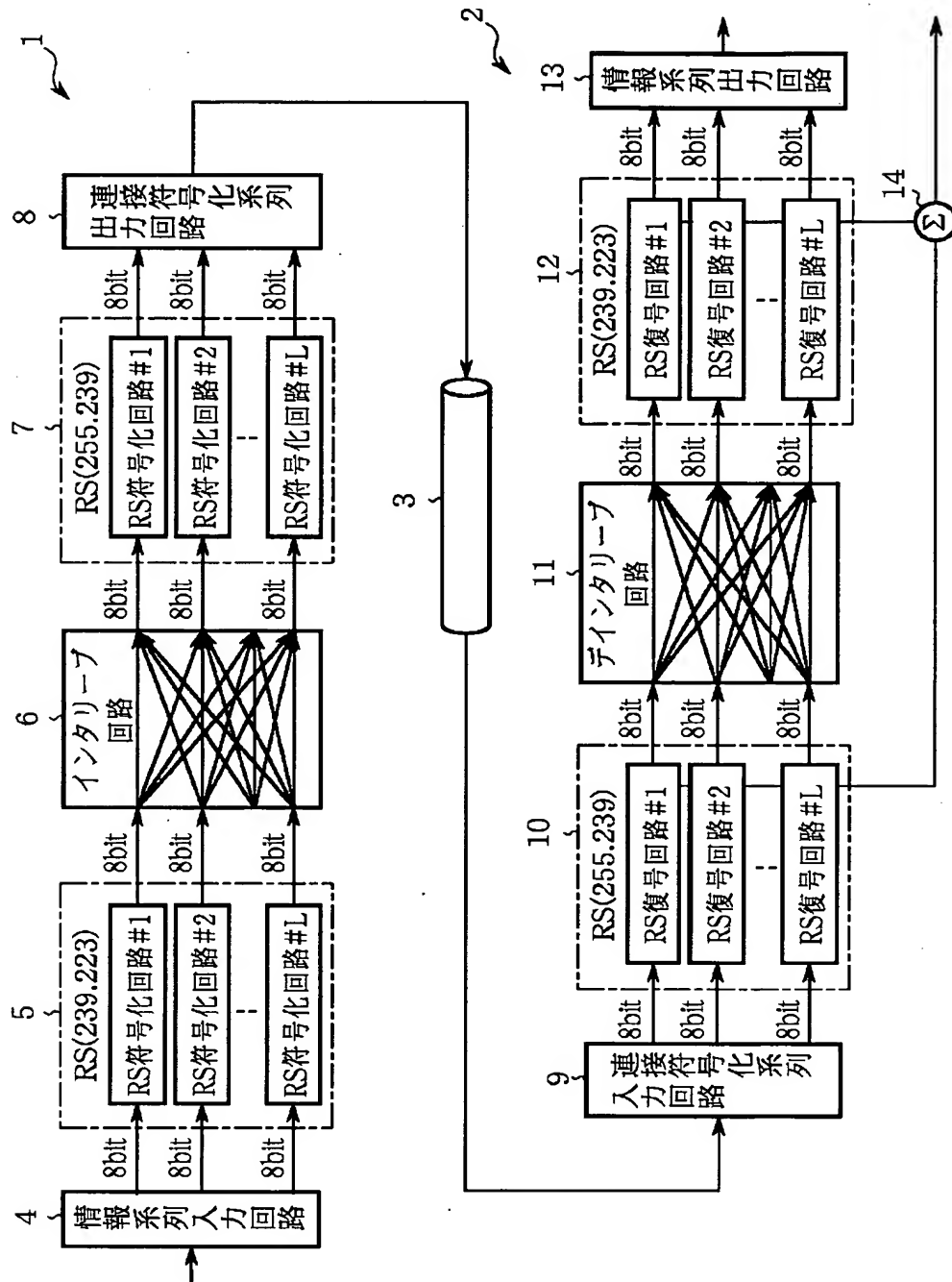
【図7】



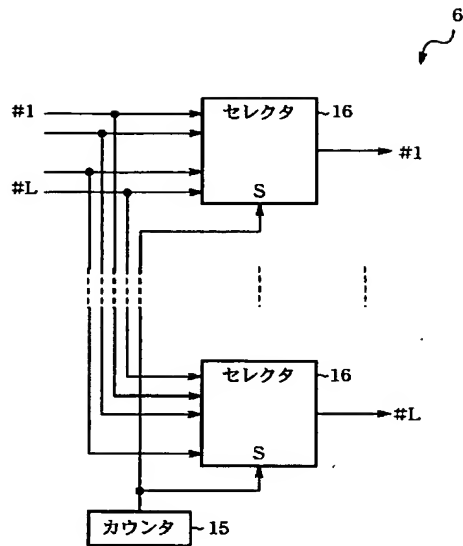
【図8】



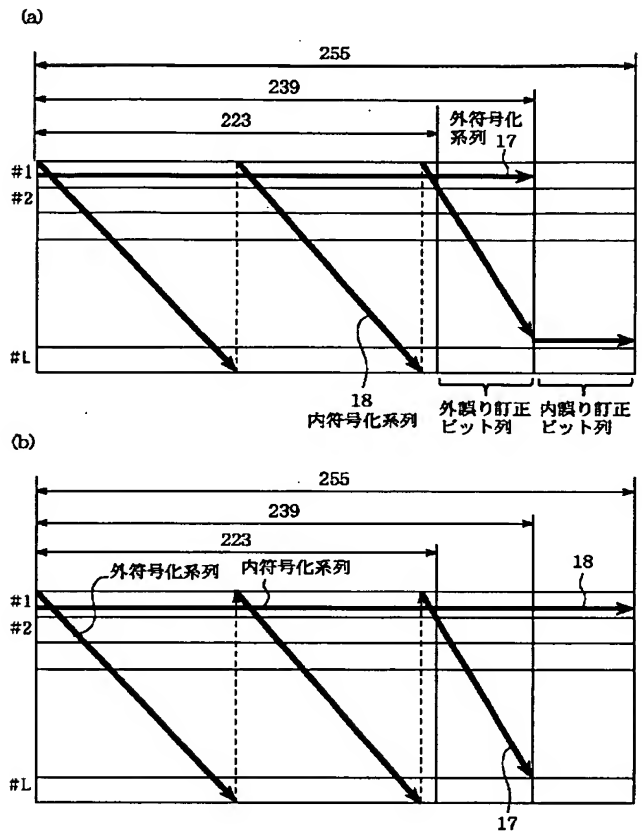
【図1】



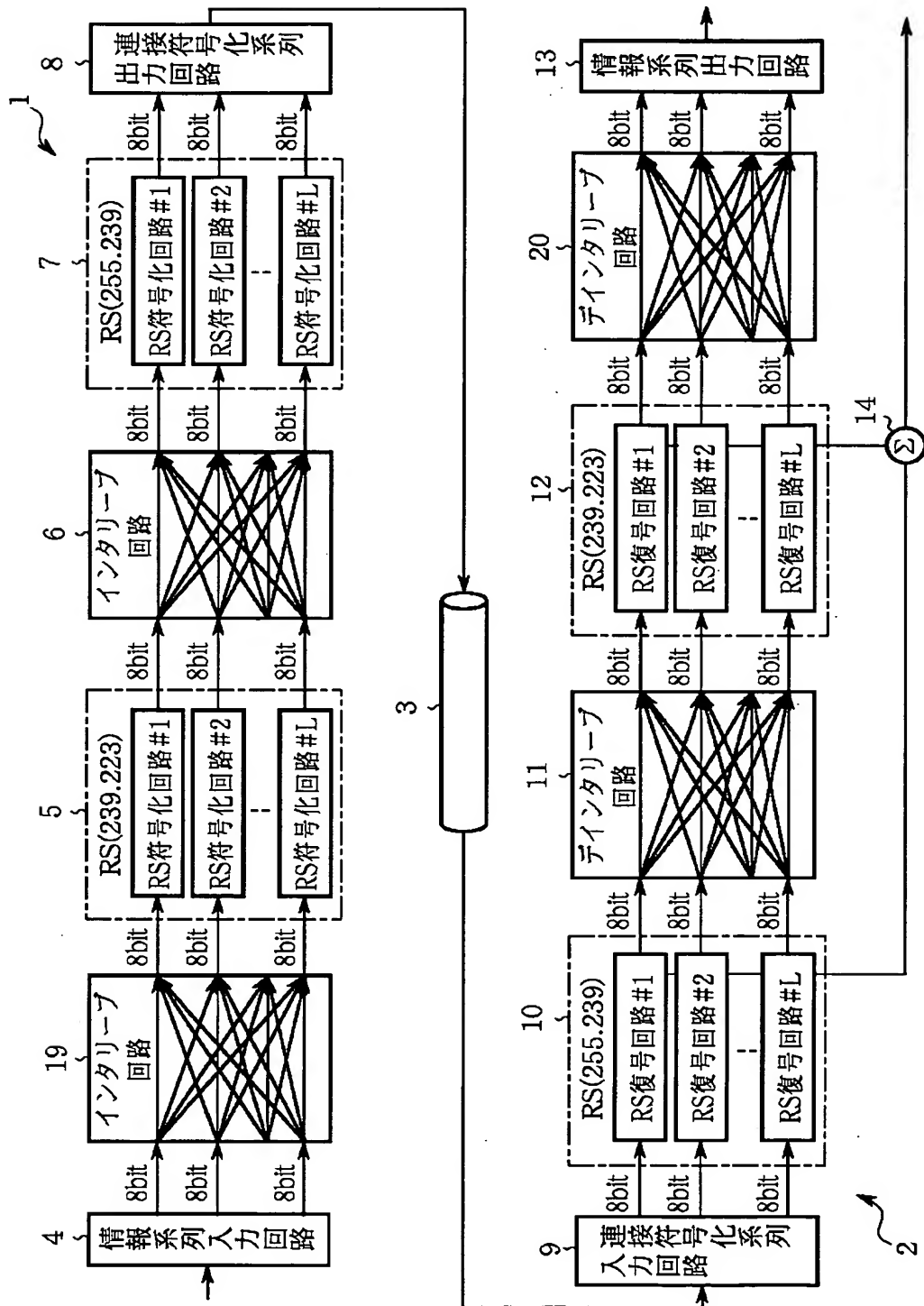
【図2】



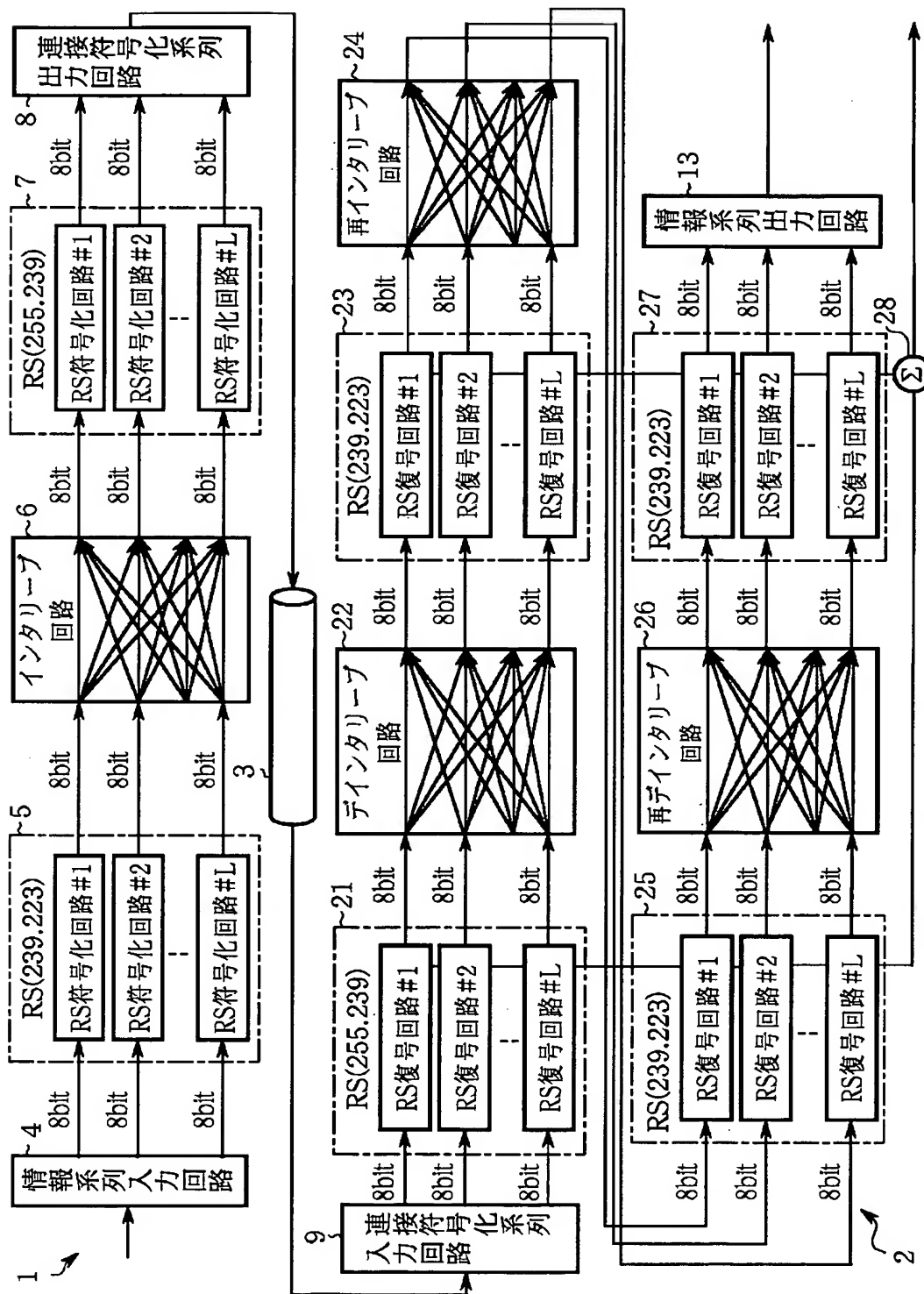
【図3】



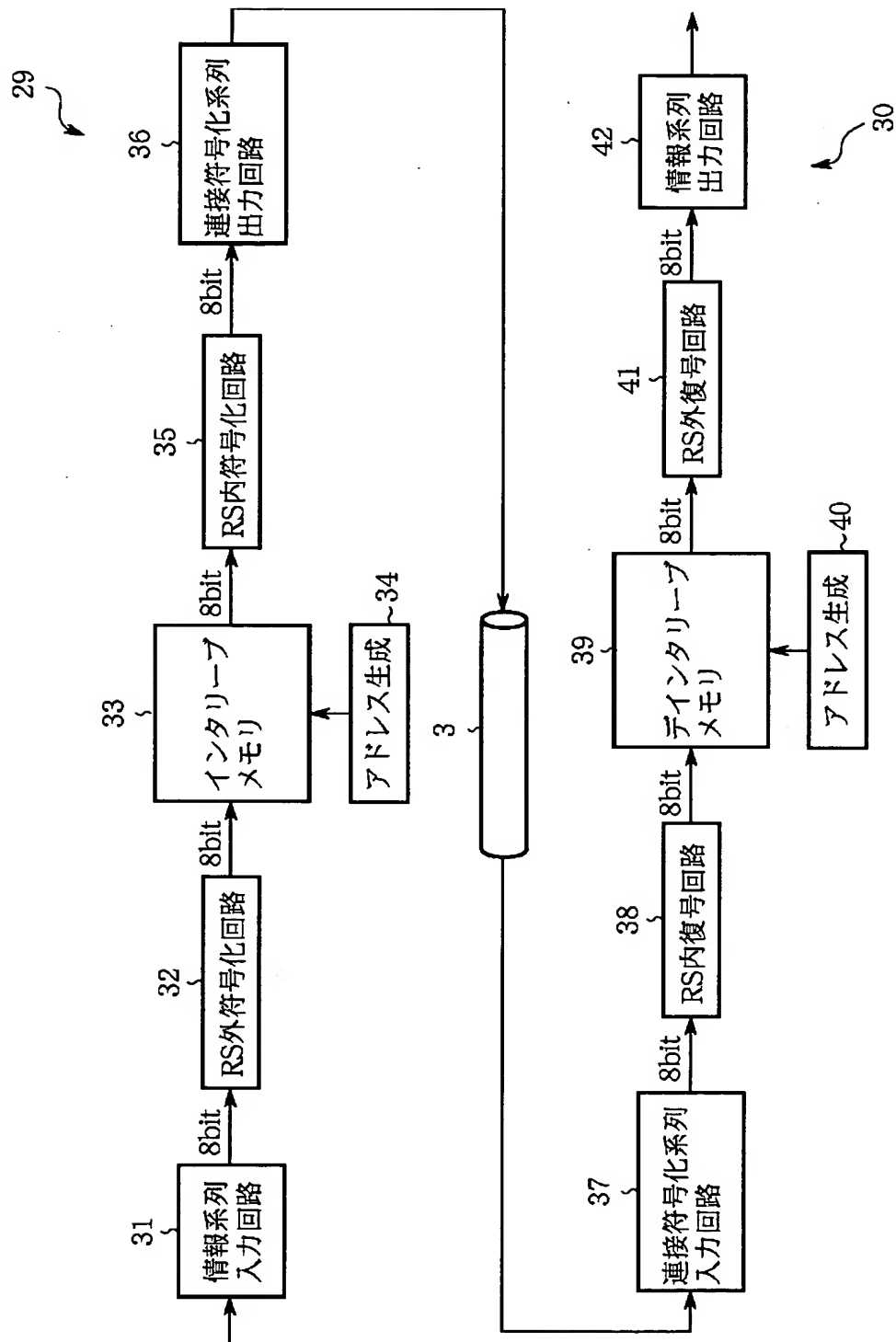
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 藤田 八郎

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 宮田 好邦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 久保 和夫

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5J065 AA03 AB01 AD11 AD13 AE06

AF01 AG06 AH06 AH09 AH17